

Abstract of TW460927B

The present invention is a semiconductor device, a mounting method for semiconductor device and a manufacturing method for semiconductor device which comprises a flexible substrate with a plurality of metal wires formed on the main surface; and the flexible semiconductor chips configured on the flexible substrate having a plurality of bonding pads for connection; and, the connection metal for electrically connecting the plurality of bonding pads for connection with the plurality of metal wires respectively; and, the flexible package which is formed by packaging sealing component between the flexible substrate and the flexible semiconductor chip; and, the flexible semiconductor chip can have less thickness than the conventional semiconductor chip and low-rigidity; furthermore, by making less thickness of each components of the package, such as the flexible substrate, the total rigidity of the package is lowered; also, by packaging the sealing component between the flexible substrate and the flexible semiconductor chip, the smoothness of the product for flexible package can be substantially ensured; and, during the preparation to form a plurality of mounting wires on the main surface of the mounting substrate and electrically connecting the plurality of mounting wires and a plurality of metal wires, it can constitute a highly reliable packaging body; furthermore, when stacking a plurality of flexible packages, it can constitute a multi-layer chip module with reduced thickness in total.

中華民國專利公報 [19] [12]

[11]公告編號：460927

[44]中華民國 90年 (2001) 10月 21日
發明

全 13 頁

[51] Int.Cl⁰⁶: H01L21/02

[54]名稱：半導體裝置、半導體裝置之實裝方法及半導體裝置之製造方法

[21]申請案號：089100496 [22]申請日期：中華民國 89年 (2000) 01月 13日

[30]優先權：[31]11-009682 [32]1999/01/18 [33]日本

[72]發明人：

小塩康弘 日本

[71]申請人：

東芝股份有限公司 日本

[74]代理人：林志剛 先生

1

2

[57]申請專利範圍：

1. 一種可撓性封裝，其特徵係包含
於主面形成複數之金屬配線的可撓性
基板；
配置於前述可撓性基板之上方，具有
複數之連接用接合墊的可撓性半導體
晶片；
將前述複數之連接用接合墊，和前述
複數之金屬配線各別電氣連接的連接
金屬；
和封入前述可撓性基板和前述可撓性
半導體晶片間的封閉構件。
2. 如申請專利範圍第1項之可撓性封裝，
其中，前述可撓性半導體晶片之厚度
係 $10\ \mu\text{m}\sim 150\ \mu\text{m}$ 。
3. 如申請專利範圍第2項之可撓性封裝，
其中，前述可撓性半導體晶片之厚度
係 $30\ \mu\text{m}\sim 100\ \mu\text{m}$ 。
4. 如申請專利範圍第2項之可撓性封裝，
其中，前述可撓性半導體晶片係矽晶
片。
5. 如申請專利範圍第1項之可撓性封裝，
其中，前述可撓性半導體晶片係於前
述可撓性基板之上方，以覆晶晶片配
置加以配置。
5. 6. 如申請專利範圍第1項之可撓性封裝，
其中，前述可撓性基板係有機基板。
7. 如申請專利範圍第1項之可撓性封裝，
其中，前述可撓性半導體晶片之厚度
係 $10\ \mu\text{m}\sim 150\ \mu\text{m}$ 。
10. 8. 如申請專利範圍第1項之可撓性封裝，
其中，前述封閉構件係以線膨脹係數
 $\alpha = 0.01\sim 30\text{ppm}/^\circ\text{C}$ 之材料度加以構
成。
9. 如申請專利範圍第1項之可撓性封
裝，其中，前述封閉構件係以線膨脹
係數 $\alpha = 0.1\sim 15\text{ppm}/^\circ\text{C}$ 之材料度加以構
成。
15. 10. 如申請專利範圍第1項之可撓性封
裝，其中，前述可撓性基板之金屬配
線係做為金屬薄膜所成束導線加以配
- 20.

置。

- 11.如申請專利範圍第1項之可撓性封裝，其中，與前述可撓性基板之金屬配線連接之連接金屬係高導電性材料的突起電極。
- 12.一種半導體模組，其特徵係包含於主表面形成複數之安裝配線的安裝基板；
將與各前述複數之安裝配線電氣連接的複數金屬配線，具備於主表面的可撓性基板
配置於前述可撓性基板之上方可撓性半導體晶片；
將前述複數之連接用接合墊，和前述複數之金屬配線各別電氣連接的連接金屬；
和封入前述可撓性基板和前述可撓性半導體晶片間的封閉構件。
- 13.如申請專利範圍第12項之半導體模組，其中，前述可撓性半導體晶片之厚度係 $10\ \mu\text{m}\sim 150\ \mu\text{m}$ 。
- 14.如申請專利範圍第12項之半導體模組，其中，前述可撓性半導體晶片係矽晶片。
- 15.如申請專利範圍第12項之半導體模組，其中，前述可撓性半導體晶片係於前述可撓性基板之上方，以覆晶晶片配置加以配置。
- 16.如申請專利範圍第12項之半導體模組，其中，前述可撓性基板係有機基板。
- 17.如申請專利範圍第12項之半導體模組，其中，前述可撓性半導體晶片之厚度係 $10\ \mu\text{m}\sim 150\ \mu\text{m}$ 。
- 18.如申請專利範圍第12項之半導體模組，其中，前述封構件係以線膨脹係數 $\alpha = 0.01\sim 30\text{ppm}/^\circ\text{C}$ 材料度加以構成。
- 19.如申請專利範圍第12項之半導體模組，其中，前述可撓性基板之金屬配

線係做為金屬薄膜所成束導線加以配置。

- 20.如申請專利範圍第12項之半導體模組，其中，前述可裝基板係曲在狀之安裝基板。
5. 21.一種多晶片模組，其特徵係包含於主表面形成複數之安裝配線的安裝基板；
與各前述複數之安裝配線電氣連接之複數之第1之金屬配線，具備於主表面之第1之可撓性基板；
將複數之第1之連接用以接合墊具備於表面，配置於前述第1之可撓性基板之前述主表面之上方的第1之可撓性半導體晶片；
10. 和各電氣連接前述複數之第1之連接用接合墊，和前述複數之第1之金屬配線的第1連接金屬；
封入於前述第1之可撓性基板和前述第1之可撓性半導體晶片間之第1之封閉構件，
與各前述複數之第1之金屬配線電氣連接之複數之第2之金屬配線，具備於主表面之第2之可撓性基板；
25. 將複數之第2之連接用接合墊具備於表面，配置於前述第2之可撓性基板之前述主表面之上方的第2之可撓性半導體晶片；
和各電氣連接前述複數之第2之連接用接合墊，和前述複數之第2之金屬配線的第2之連接金屬；
30. 封入於前述第2之可撓性基板和前述第2之可撓性半導體晶片間之第2之封閉構件。
35. 22.如申請專利範圍第21項之多晶片模組，其中，前述第1之可撓性基板係於周邊部，前述第1之金屬配線位於外側地加以彎曲，該彎曲之可撓性基板之部分之前述第1之金屬配線，於
40. 前述安裝配線介由導電性材料加以連

接。

- 23.如申請專利範圍第 21 項之多晶片模組，其中，前述第 2 之可撓性基板係於周邊部，前述第 2 之金屬配線位於外側地加以彎曲，該彎曲之可撓性基板之部分之前述第 2 之金屬配線於前述第 1 之金屬配線介由導電性材料加以連接。
- 24.如申請專利範圍第 21 項之多晶片模組，其中前述複數之第 1 之金屬配線係由金屬薄膜所成複數之第 1 之束導線所構成，前述複數之第 2 之金屬配線係由金屬薄膜所成複數之第 2 之束導線所構成。
- 25.如申請專利範圍第 24 項之多晶片模組，其中，前述複數之第 1 及第 2 之束導線係於對應之一封間相互電氣連接。
- 26.一種半導體模組之製造方法，其特徵係包含
 - (a)將半導體晶片呈 $10\ \mu\text{m}\sim 150\ \mu\text{m}$ 之厚度變薄之工程；
 - (b)於安裝基板之主表面形成複數之安裝配線的工程；
 - (c)於可撓性基板之表面形成複數之金屬配線之工程；
 - (d)於前述可撓性基板之前述主表面之上方搭載前述半導體晶片之工程；
 - 和(e)令前述複數之安裝配線和前述複數之金屬配線各別定位相互加以電氣連接之工程。
- 27.如申請專利範圍第 26 項之半導體模組之製造方法，其中，搭載前述半導體晶片之工程係於前述可撓性基板之主表面上之晶片搭載範圍，將封閉構件選擇性地加以堆積，於此封閉裝置搭載前述半導體晶片者。
- 28.如申請專利範圍第 26 項之半導體模組之製造方法，其中，令前述安裝配線和金屬配線相互連接之工程係更包含

(a)於前述複數之金屬配線間之前述可撓性基板之露出部，設置第 1 之黏著劑層的工程；

5. (b)於前述複數之安裝配線間之前述安裝基板之露出部設置第 2 之黏著劑層的工程；
- (c)進行前述金屬配線和前述安裝配線之定位，於前述可撓性基板和前述安裝基板間施加所定壓力，接合前述第 1 和第 2 之黏著劑層的工程。
- 10.

圖式簡單說明：

第一圖係顯示現在使用之半導體封裝之一構造例截面斜視圖。

第二圖 A 係有關本發明之第 1 實施例之可撓性封裝的截面構造圖。

第二圖 B 係為說明有關本發明之第 1 實施例之實裝體之概略構造的截面圖。

第三圖 A 係顯示矽晶片之厚度和彎曲量之關係圖。

20. 第三圖 B 係顯示矽晶片之厚度和曲率半徑之關係圖。

第四圖 A 係顯示形成於矽晶片之背面的切削紋圖。

25. 第四圖 B 係說明切削紋角 $\theta \leq 10^\circ$ 之試料圖。

第四圖 C 係說明切削紋角 $\theta \geq 80^\circ$ 之試料圖。

30. 第五圖 A 係為說明有關本發明之第 1 之實施例之變形例的實裝體之概略構造之截面圖。

第五圖 B 及第五圖 C 係說明在關本發明之第 1 實施例之變形例的實裝體之溫度變化的彎曲之截面圖

35. 第六圖 A 係說明做為比較例使用厚之矽晶片的實體之概略構造之截面圖。

第六圖 B 及第六圖 C 係為說明顯示第六圖 A 之實裝體之溫度變化的彎曲的截面圖。

40. 第七圖係說明矽晶片之厚度和 TCT 可靠性之關係的圖表。

(4)

7

第八圖 A 及至第八圖 H 係顯示有關本發明之第 1 實施例之安裝體之製造方法的工程圖。

第九圖 A 及至第九圖 D 係做為有關本發明之第 1 實施例之安裝體之製造方法的變形列，說明可撓性・封裝之導線間黏著法的工程截面圖。

第十圖係有關本發明之第 2 實施例之堆疊構造之安裝體的截面構造圖。

第十一圖 A 係有關本發明之第 3 實施例之可撓性・封裝及使用此安裝體之截面構造圖。

第十一圖 B 係顯示有關本發明之第

8

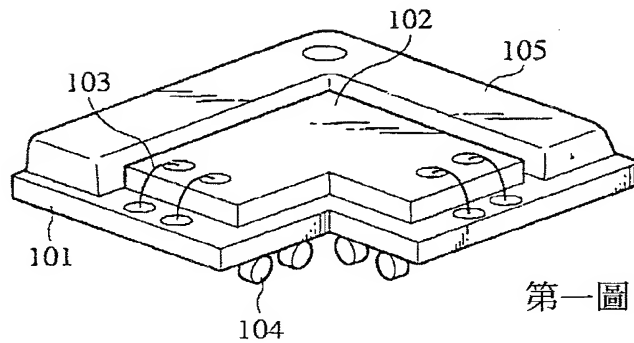
3 實施例之可撓性・封裝之世下工程的截面圖。

第十二圖係有關本發明之第 3 實施例之安裝體之截面構造圖。

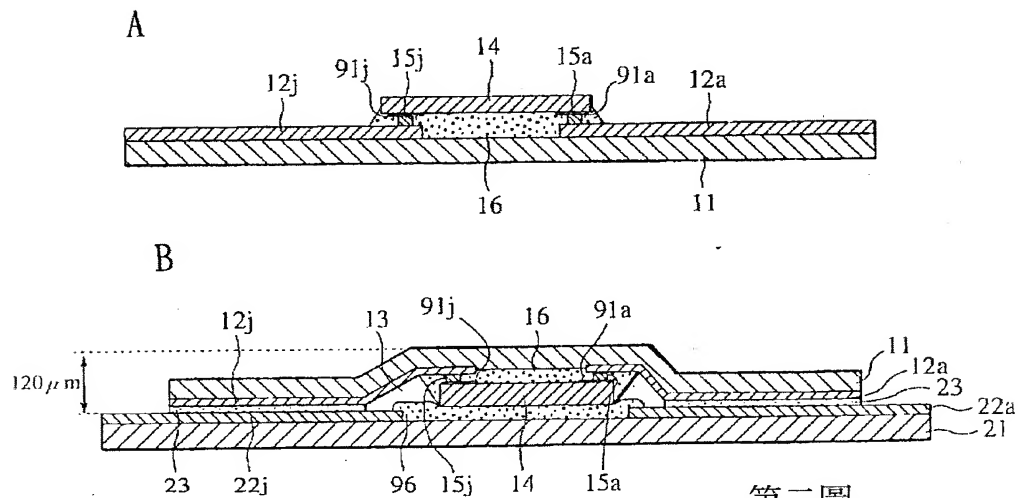
5. 第十三圖係有關本發明之第 4 實施例之可撓性・封裝及使用此安裝體之截面構造圖。

第十四圖 A 係有關本發明之其他之實施例之可撓性・封裝之截面構造圖。

10. 第十四圖 B 係有關本發明之另一其他之實施例之可撓性・封裝之截面構造圖。



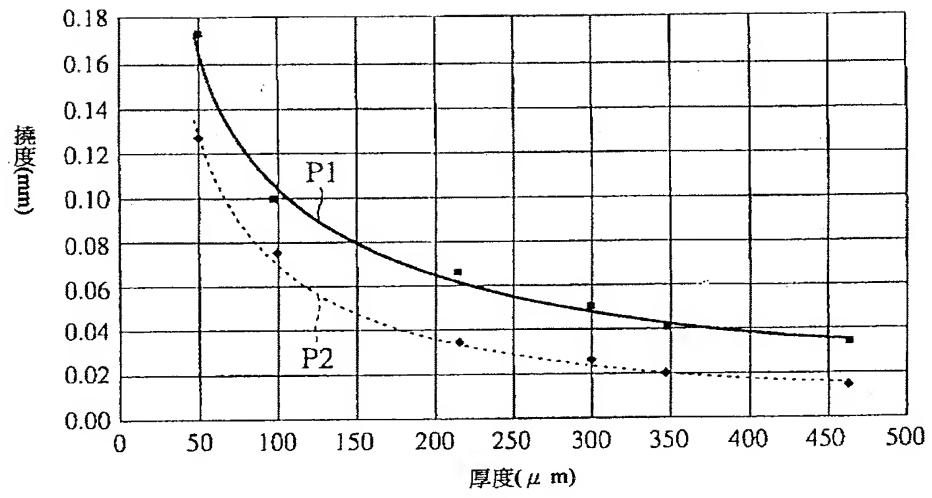
第一圖



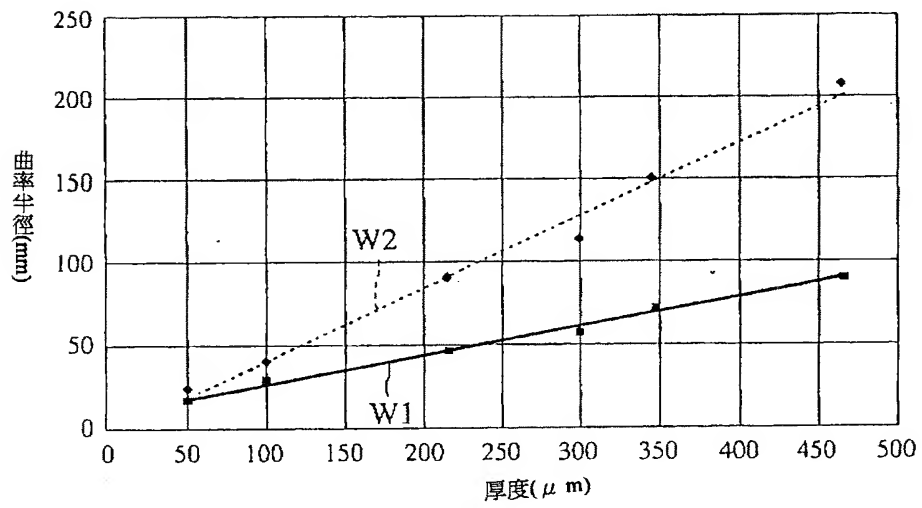
第二圖

(5)

A

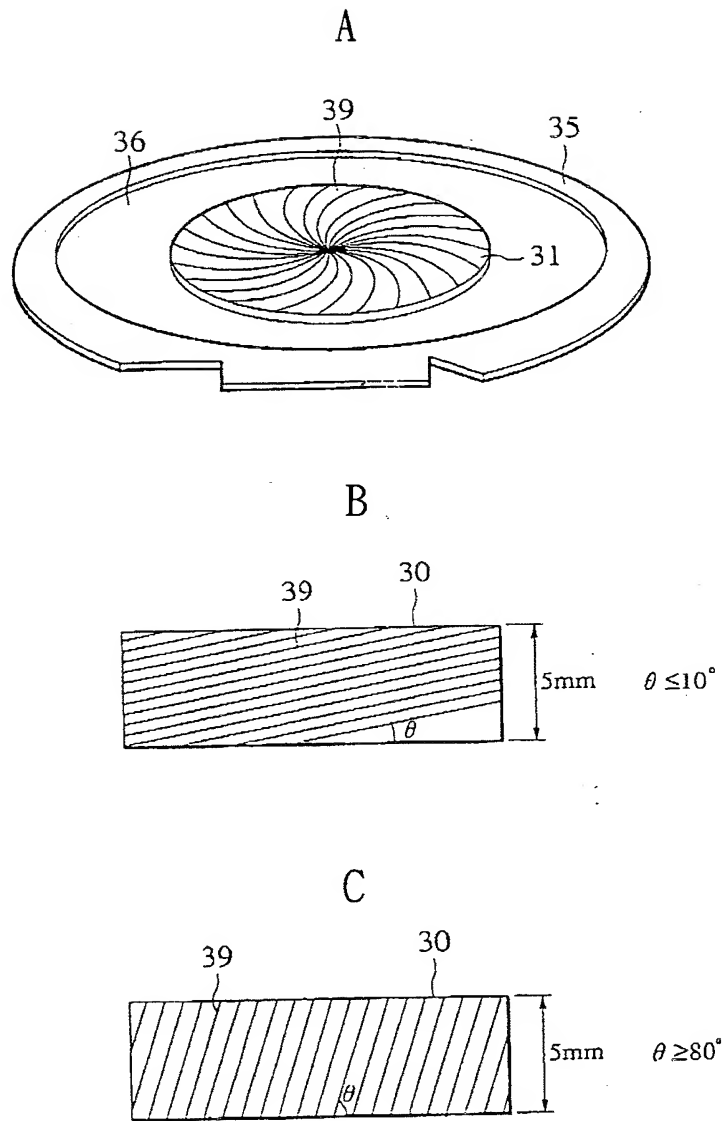


B



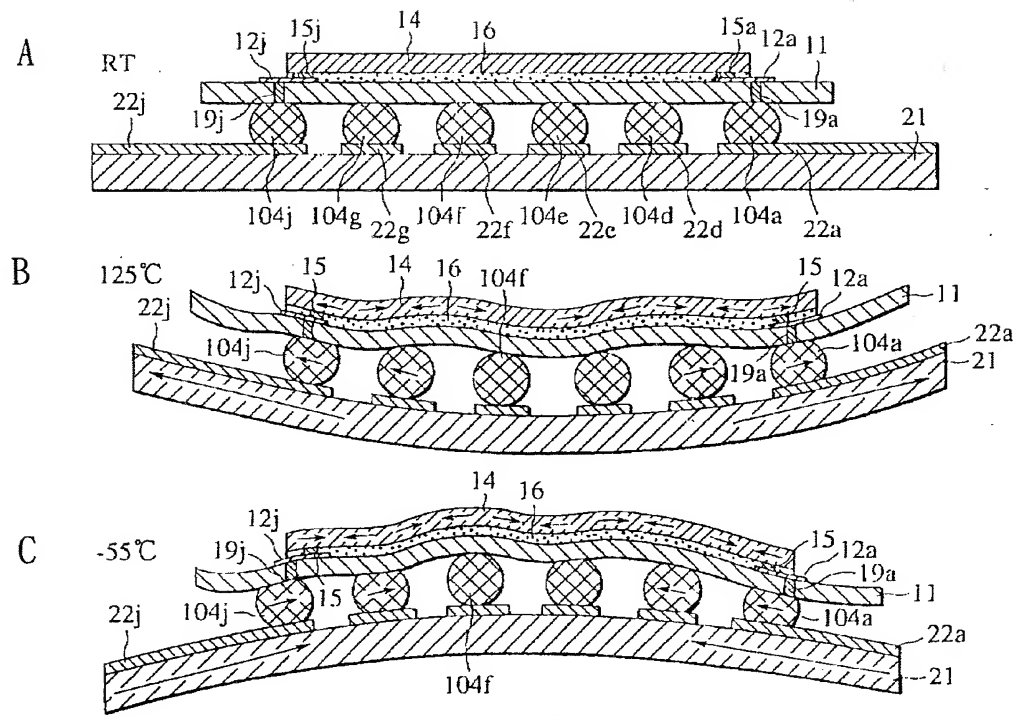
第三圖

(6)

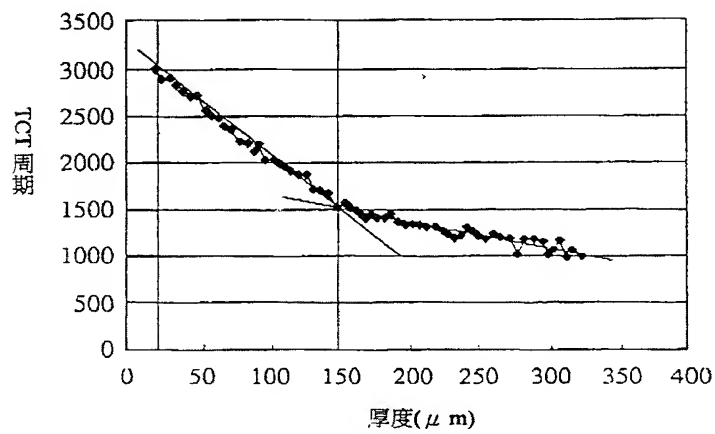


第四圖

(7)

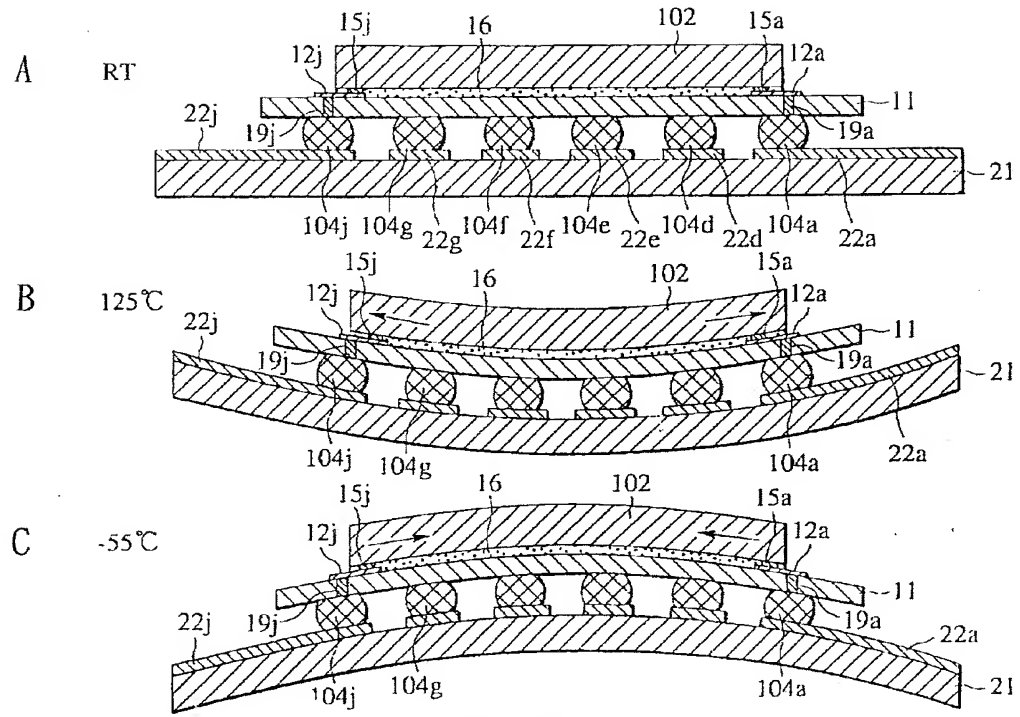


第五圖

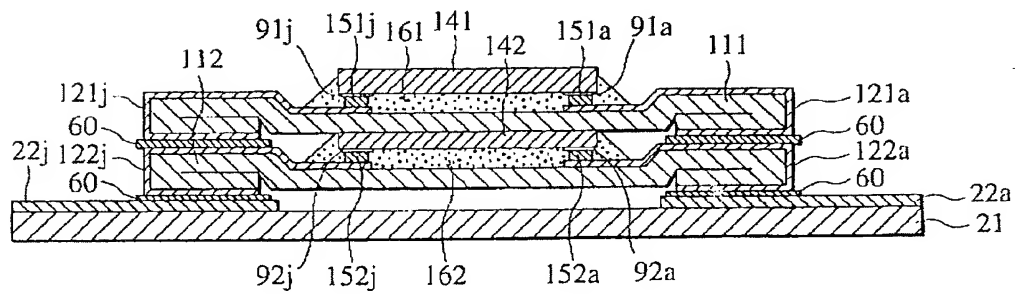


第七圖

(8)



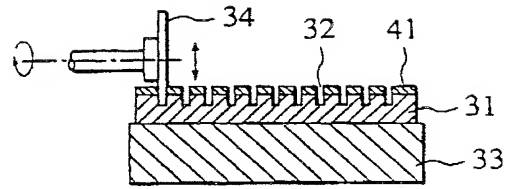
第六圖



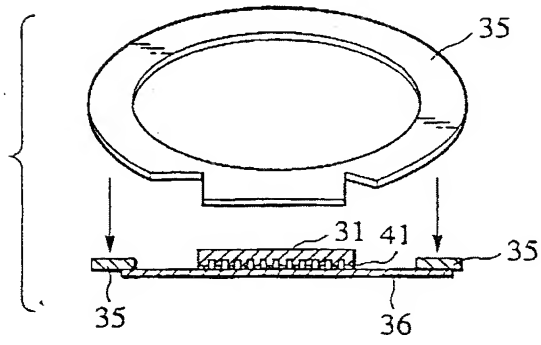
第十圖

(9)

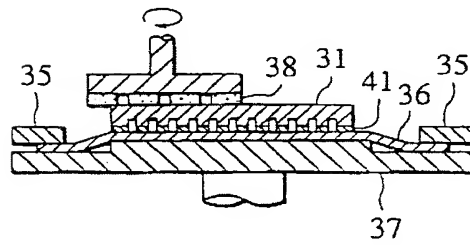
A



B

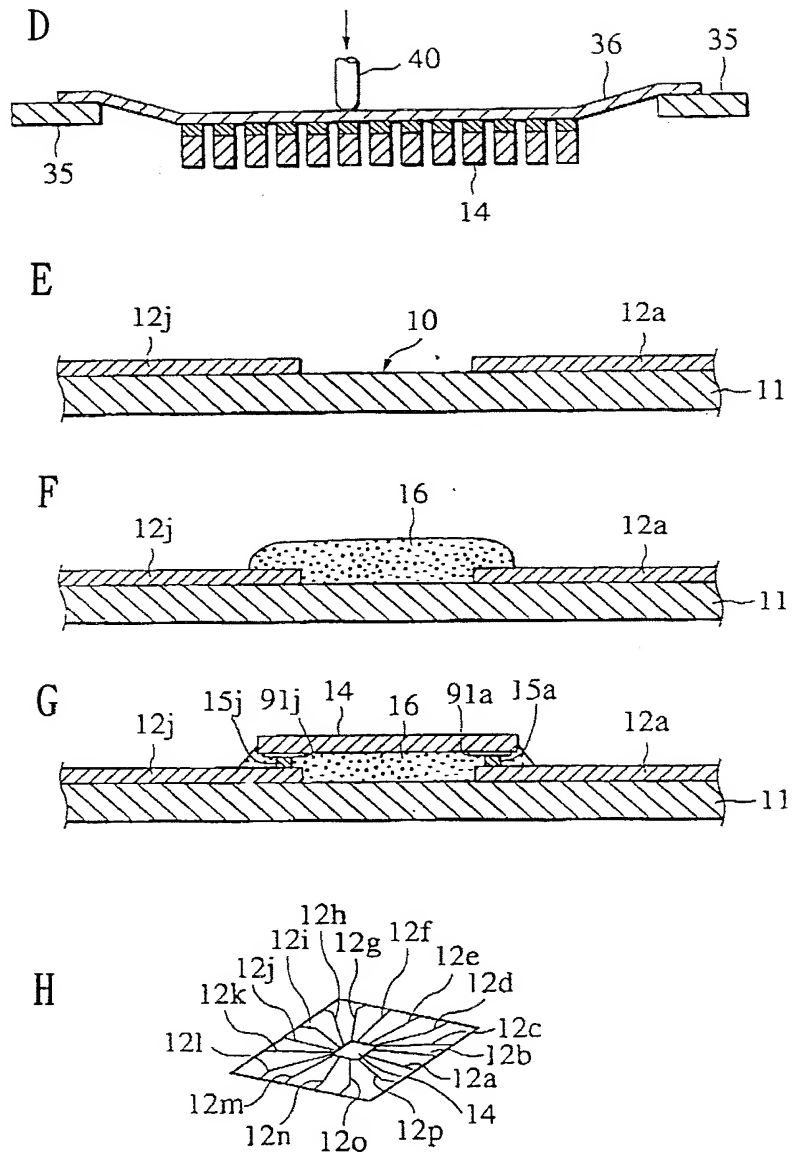


C



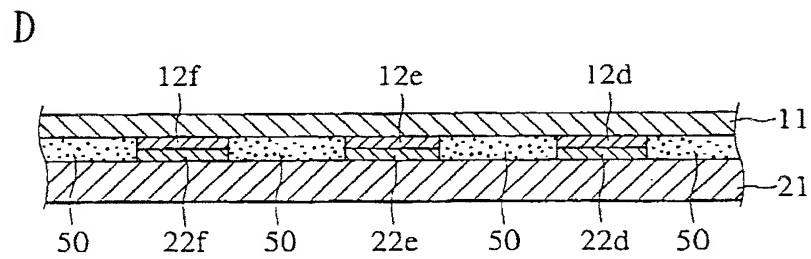
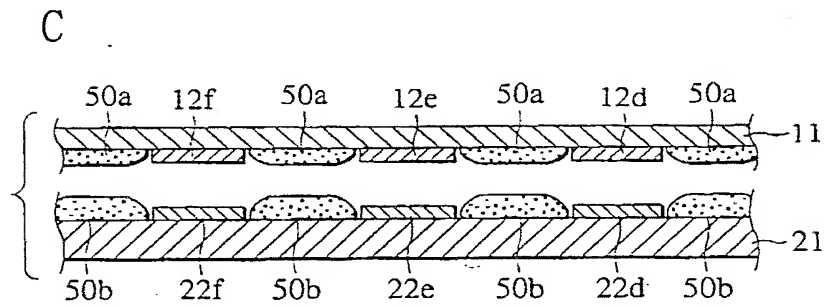
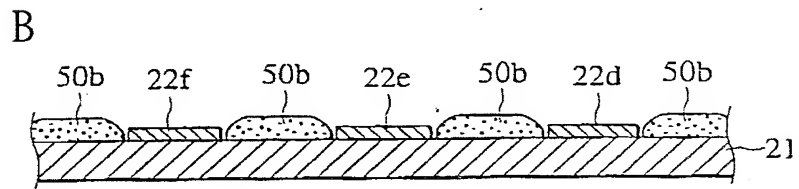
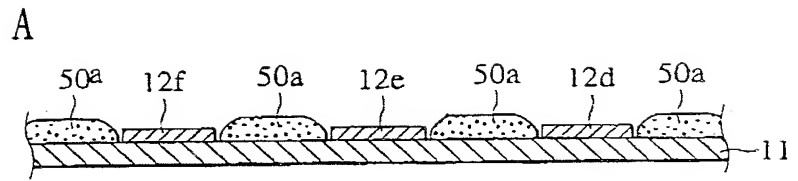
第八圖

(10)



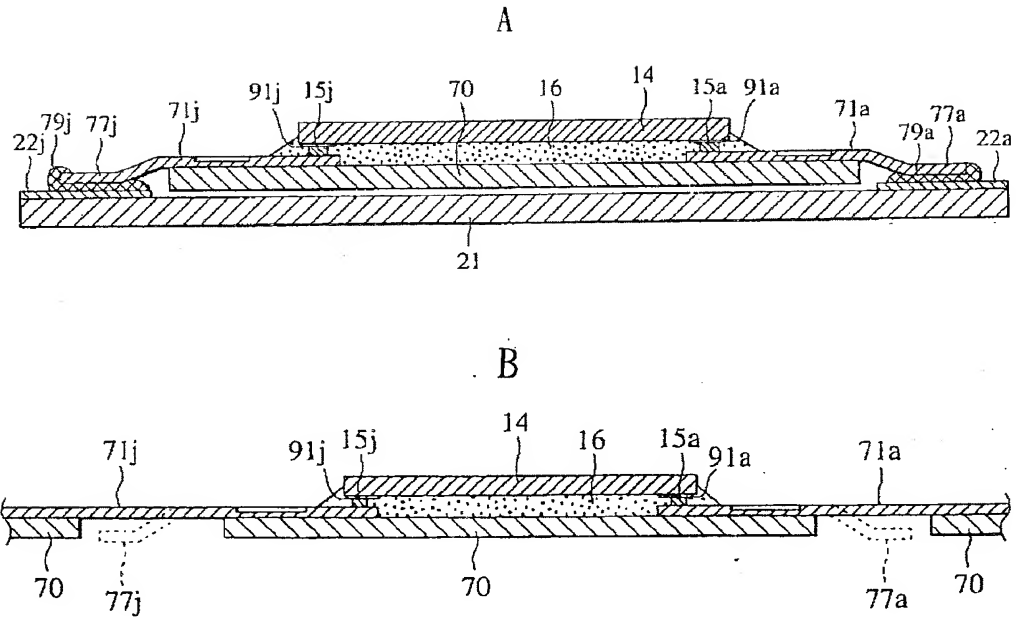
第八圖

(11)

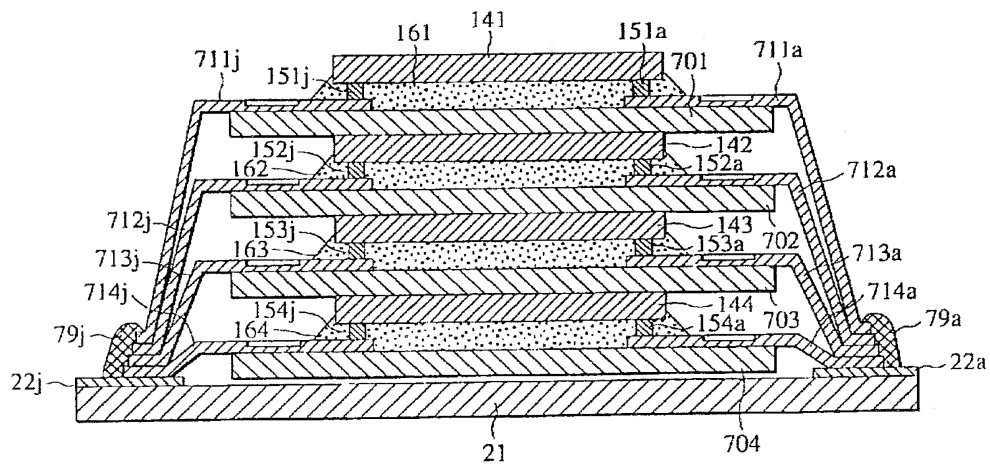


第九圖

(12)

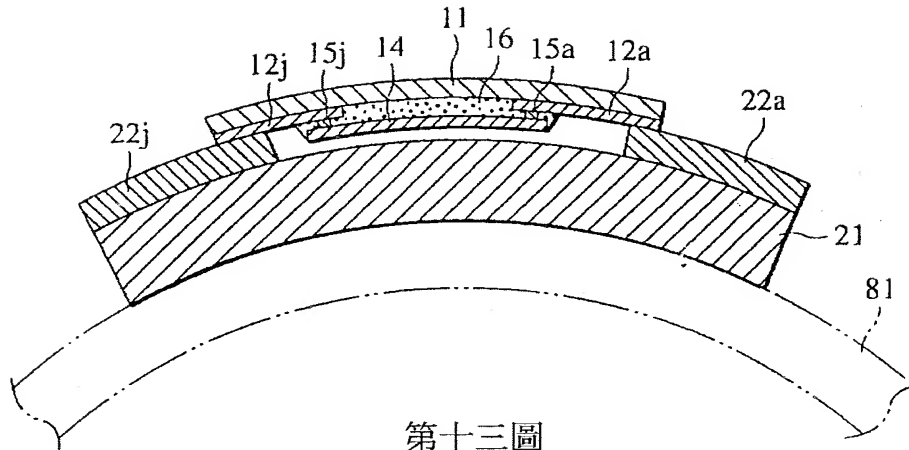


第十一圖



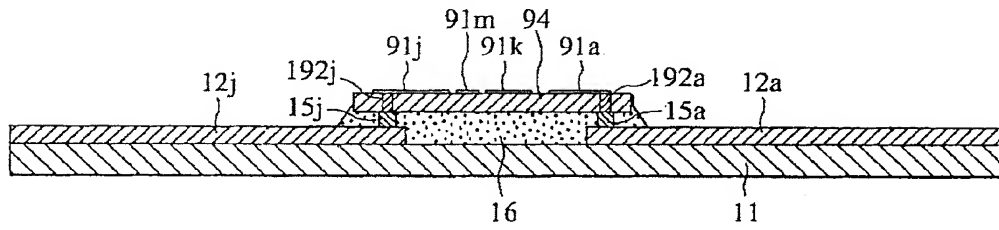
第十二圖

(13)

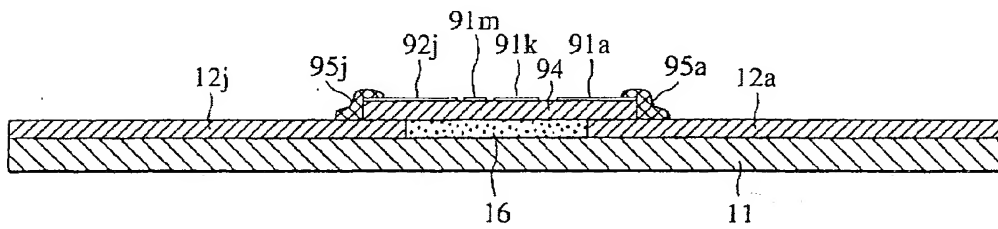


第十三圖

A



B



第十四圖